

# デジタル信号タイミング試験用 BOST の検討

平林 大樹\* 荒川 雄太 河内 智 石井 正道 上森 聡史 (群馬大学)  
佐藤 幸志 (光サイエンス) 小林 春夫 新津 葵一 高井 伸和 (群馬大学)

Built-Out Self-Test Circuit for Digital Signal Timing

Daiki Hirabayashi\*, Yuta Arakawa, Satoru Kawauchi, Masamichi Ishii, Satoshi Uemori  
(Gunma University),

Koshi Sato (Hikari Science), Haruo Kobayashi, Kiichi Niitsu, Nobukazu Takai (Gunma University)

**Abstract**—This paper presents design and measurement results of a sigma-delta ( $\Sigma\Delta$ ) time-to-digital converter (TDC) for high-speed I/O interface circuit or memory interface signal test applications; it can offer good accuracy with small circuitry. We have implemented the  $\Sigma\Delta$  TDC using an analog FPGA or a programmable system-on-chip (PSoC) as a built-out self-test (BOST) circuit. We show that the  $\Sigma\Delta$  TDC can realize timing measurement with fairly good linearity and its design is relatively easy with PSoC. We also consider a self-calibration method for the overall TDC linearity. Thus our method would be practical.

**キーワード** : デジタル信号, タイミング,  $\Sigma\Delta$ TDC, LSI 試験, 高速入出力インターフェース, BOST  
(Keywords, Digital Signal, Timing,  $\Sigma\Delta$ TDC, LSI Testing, High-Speed I/O Interface, BOST)

## 1. はじめに

近年DDRメモリアンターフェース等での高速IO回路が重要となっており、それに伴いその低コスト・高品質テスト技術が必要になってきている(1)。本論文では2つの繰り返シクロック間の時間差 (DDRメモリでのデータ・クロック間の時間差等) を高時間分解能・高精度かつ簡単な回路で計測するためのデジタル信号タイミング試験用 built-out self-test (BOST) として、シグマデルタ型タイムデジタルタイザ回路の設計(2) (3)、シミュレーション、実機での検証を行った。動作確認のシミュレーションは0.18 $\mu$ m CMOS パラメータでSpectreを用いて行った。また、実機での動作確認はサイプレス社のprogrammable system-on-chip (PSoC) に実装して行った。

## 2. $\Sigma\Delta$ TDC の構成

**〈2・1〉フラッシュ型 TDC** 図1にフラッシュ型 time-to-digital converter (TDC) 回路を示す(2)。1回のイベントで2つの信号間の立ち上がりタイミング時間差を測定できるが、回路規模が大きくなってしまい、時間分解能はゲート遅延  $\tau$  で制限されてしまう。

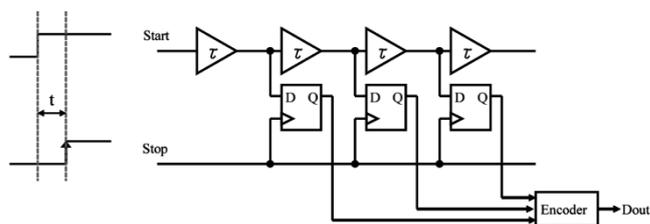


図1 フラッシュ型 TDC

Fig.1. Flash-type TDC.

**〈2・2〉 $\Sigma\Delta$  TDC** 繰り返シ信号間の時間差を測定する場合はシグマデルタ型 TDC ( $\Sigma\Delta$  TDC) を用いることができる。測定時間は長くなるが、簡単な回路で細かい時間分解能で時間間隔を測定することができる。検討した  $\Sigma\Delta$  TDC の全体構成を図2に示す。 $\Sigma\Delta$  TDC は遅延素子、マルチプレクサ、位相比較器、積分器、比較器で構成する。

図3に比較器出力 Dout が 0, 1 それぞれの場合のタイミングチャートを示す。クロック信号 CLK1 と CLK2 を入力し、立ち上がり時間差 T を測定する。入力された CLK1, CLK2 はそれぞれ比較器出力 Dout に応じて経路が制御される。その結果得られる信号をそれぞれ CLK1a, CLK2a とする。位相比較器によりこれらの信号の時間差 CLKin を出す。この時間差 CLKin を電圧に変換し、電圧モードで積分し INTout

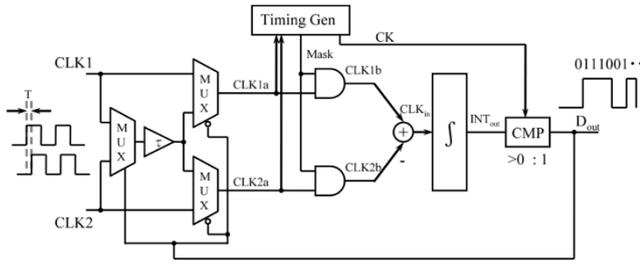


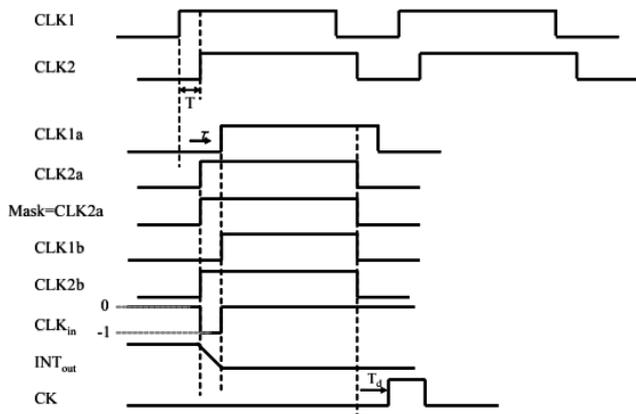
図2 ΣΔ TDC アーキテクチャ

Fig.2. Architecture of ΣΔ TDC.

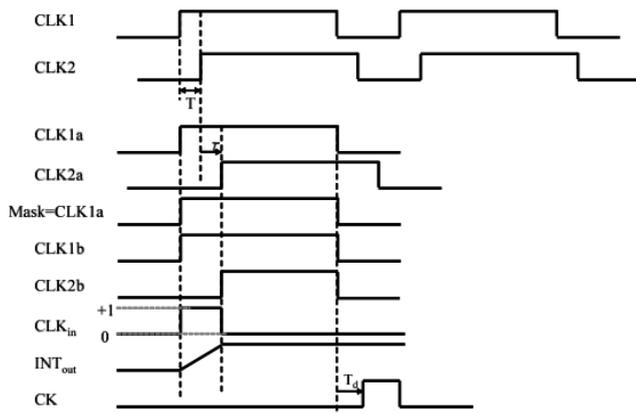
を出力する。この出力INToutを比較器によりゼロと比較し最終的な出力Doutを求める。CLK1の立ち上がりタイミングが速い場合には時間差を求めたときに正となるため積分後の比較器出力は1となり、次のクロックではCLK1は遅延の経路、CLK2はそのまま信号を通す経路がそれぞれ選択される。CLK2が速い場合には時間差を求めたときに負となるため積分後の比較器出力は0となり、選択される経路は逆となる。

入力の時間差に比例して1が出力されるため、比較器から出力された1の数からクロック間の立ち上がり時間差Tを測定することができる。

積分型ADCと同様に、ΣΔ TDCは測定時間が長いと高時間分解能で時間差Tを測定することができる。また、時間差Tの測定範囲は $-\tau < T < \tau$ である。



(a) Dout=1の場合



(b) Dout=0の場合

図3 ΣΔ TDCのタイミングチャート

Fig.3. Timing diagram of ΣΔ TDC. (a) In case Dout=1.

(b) In case Dout=0.

### 3. シミュレーションによる動作確認

ΣΔ TDCの動作を確認するために、SPECTREでのシミュレーションを行った。(この場合はチップ内でBISTとして実現することを想定している。)シミュレーション回路は図4に示すように、遅延素子、Dフリップフロップ、積分器、ラッチドコンパレータで構成する。プロセス・パラメータはTSMC社180nm CMOSを用いており、電源電圧を1.8V、入力クロックの周波数を10MHzとしている。遅延素子としてはインバータチェーンを用いており、遅延値は1nsである。積分器は擬似差動構成としており、抵抗 $R=10k\Omega$ 、キャパシタ $C=10pF$ としている。積分器のスイッチはキャパシタの放電を行うために入れており、測定を始める前にスイッチをオンとして放電を行う。CLK1, CLK2間の立ち上がり時間差Tを0.05ns刻みで $T=-1ns$ から $T=1ns$ まで変化させ、TDCのコンパレータの比較回数は40回となるようにした。

これらの条件でΣΔ TDCのシミュレーションを行い、クロック間の立ち上がり時間差Tに対する1の出力数を確認した。出力波形を図5、シミュレーション結果を図6に示す。出力はデジタル値で得られ、クロック間の立ち上がり時間差に比例して1の出力数が線形に増加している。そのため、この回路を用いて計測を行うことが可能である。 $T=0.05ns$ の変化で出力パルスが1つ変化するため、分解能は50psである。

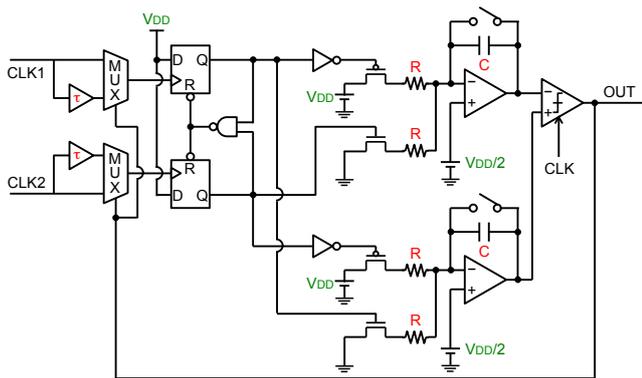


図 4 ΣΔ TDC シミュレーション回路図

Fig.4. Schematic of ΣΔ TDC simulation.

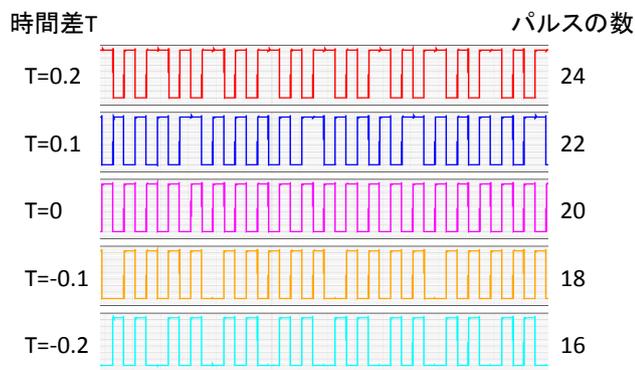


図 5 ΣΔ TDC の出力波形

Fig.5. Output waveform of the ΣΔ TDC.

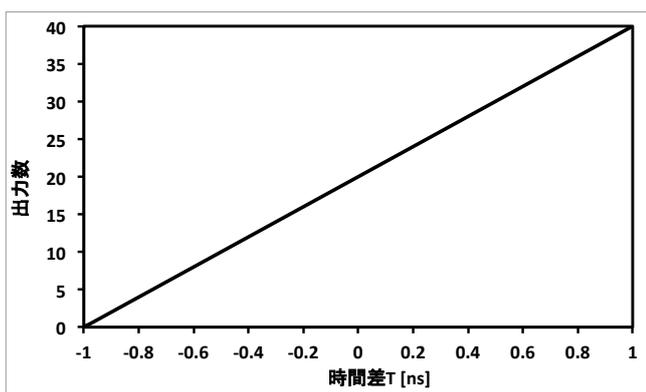


図 6 ΣΔ TDC シミュレーション結果. 縦軸は 40 回出力あたりの 1 の出力数.

Fig.6. Simulation results of the ΣΔ TDC input timing difference and digital output.

#### 4. PSoC による動作確認

ΣΔ TDC について、PSoC による実機での動作確認を行った。この場合は BOST として実現することを想定している。実機の写真を図 7 に示し、PSoC に実装した回路を図 8(a) に示す。

- 1) D フリップフロップの Q 出力の初期値は、測定の始めにリセットをかけてゼロとする。
- 2) 入力部のマルチプレクサ回路に接続する遅延素子として RC 回路を用いた。R=1kΩ、C=0.01μF の時定数で遅延とした。
- 3) 能動 RC 積分器に用いる抵抗 R とキャパシタ C は外付けした (R=10kΩ、C=0.1μF)。

4) 基本動作の確認のため、入力クロックの時間差に対する TDC の 1 の出力数の変化を正確に測定したい。しかし、外部から 2 つの発振器を用いて正確な遅延差の 2 つのクロック信号を入力するのは大変である。そこで、2 つの入力クロックを PSoC 回路の内部で生成する構成とした。このクロックは PSoC 内部で遅延差がプログラマブルである。また、遅いクロックで動作を追って確認するため、図 8(b) のように 24MHz のクロックを分周することで 20kHz のクロックを得た。このように生成された 2 つのクロック CLK1、CLK2 間の立ち上がり時間差 T を 41.7ns 刻みで T=-4.17μs から T=4.17μs まで変化させるようにし、コンパレータの比較回数を可変として測定を行う。例えば、コンパレータの比較回数 100 回の場合、デジタル出力は最高で 100 点となる。この回数の限界は次に示すカウンタによって決まる。

- 5) TDC 出力の 1 の個数のカウントとして、入力したクロックの総数を数えるカウンタと出力の 1 の数を数えるカウンタの 2 つを用いた。これら 2 つのカウンタと周辺回路も PSoC 内部に実現した。入力したクロックの総数を数えるカウンタがある一定の値に達したときに、出力を数えるカウンタの値を読むことで、TDC のデジタル出力結果を得ることができる。今回の回路では 16 ビットカウンタを用いているため、65,535 点が限界である。
- 6) 回路の電源電圧は 3.3V である。

これらの条件で ΣΔ TDC の動作確認を行い、クロック間の立ち上がり時間差 T に対する TDC の 1 の出力数を計測し

た。TDC のコンパレータの比較回数 100 回での測定結果を 図 9(a)に示す。クロック間の立ち上がり時間差に比例して 1 の出力数が増えることがわかる。出力数にはジッタ等によるばらつきがあるため、線形性が劣化している。

線形性を改善するために、コンパレータの比較回数を増やす (測定時間を長くする)。測定条件を変えずに、コンパレータの比較回数を 1,000 回、65,535 回として測定を行った。その測定結果を図 9(b),(c)に示す。コンパレータの比較回数 100 回のとくと比較して、測定時間を長くし、コンパレータの比較回数を増やすことで線形性が大きく改善されていることが確認できる。

以上の結果について、最小二乗法を用いて線形近似直線を求め、そこから積分非直線性 (INL) を計算する。INL は測定結果と線形近似直線との累積誤差を示す指標であり、0 に近いことが望ましい。線形近似直線のゲインとオフセットは以下の式で表すことができる。

$$gain = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \dots\dots\dots (1)$$

$$offset = \frac{K_2}{N} - gain \cdot \frac{K_1}{N} \dots\dots\dots (2)$$

ここで N=201 であり、K<sub>1</sub> から K<sub>4</sub> はそれぞれ以下の式で表すことができる。

$$K_1 = \sum_{i=0}^{N-1} i \dots\dots\dots (3)$$

$$K_2 = \sum_{i=0}^{N-1} S(i) \dots\dots\dots (4)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \dots\dots\dots (5)$$

$$K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \dots\dots\dots (6)$$

i は入力時間差であり、S(i)はそのときの出力数である。(1)式から(6)式より、INL を計算する式は以下ようになる。

$$INL(i) = \frac{S(i) - (gain \cdot i + offset)}{gain} \dots\dots\dots (7)$$

この式から求めた INL を 図 10 に示す。測定時間を長くするほど線形性が改善していることが確認できる。

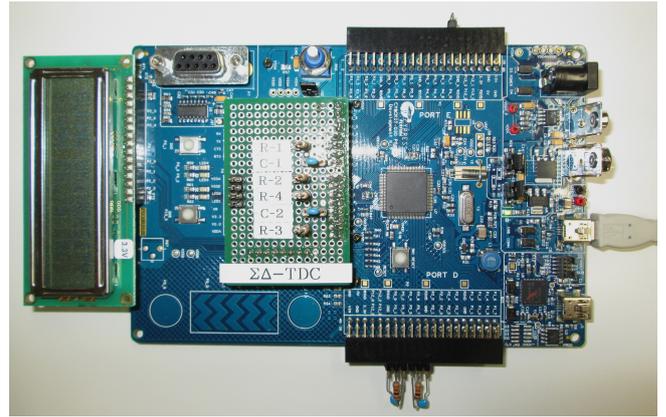
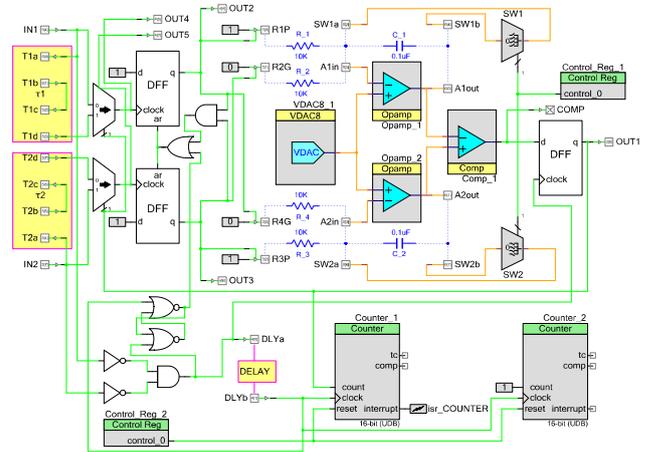
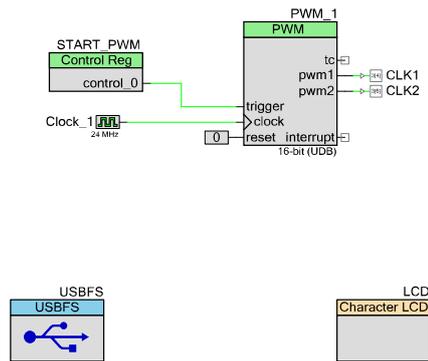


図 7 Σ Δ TDC を実装した PSoC の写真

Fig.7. Photo of PSoC which implements the Σ Δ TDC.



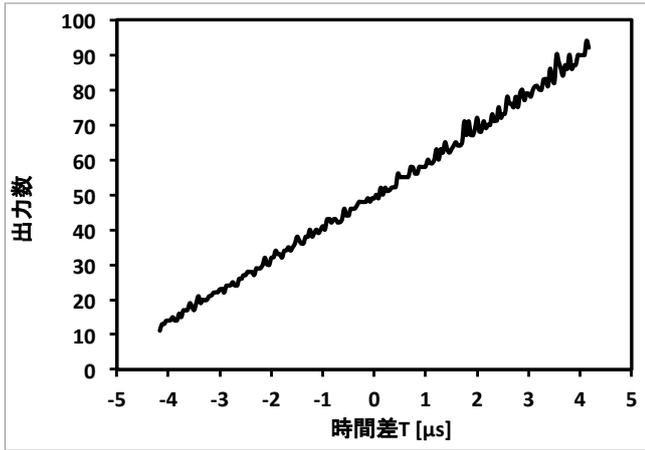
(a) Σ Δ TDC 全体回路



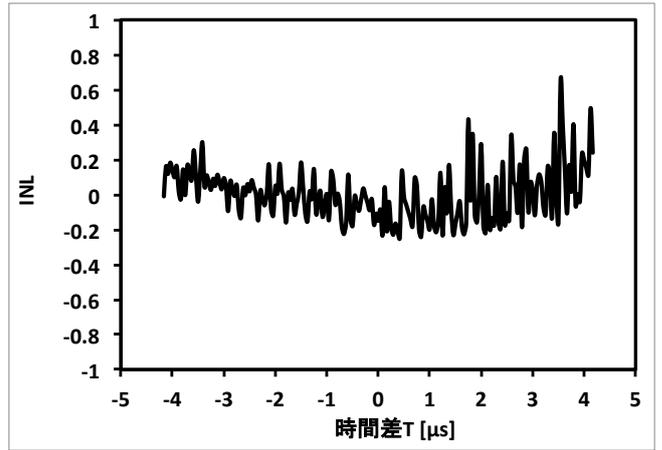
(b) クロック生成回路と USB、LCD へのリンク

図 8 PSoC に実装した Σ Δ TDC の回路図

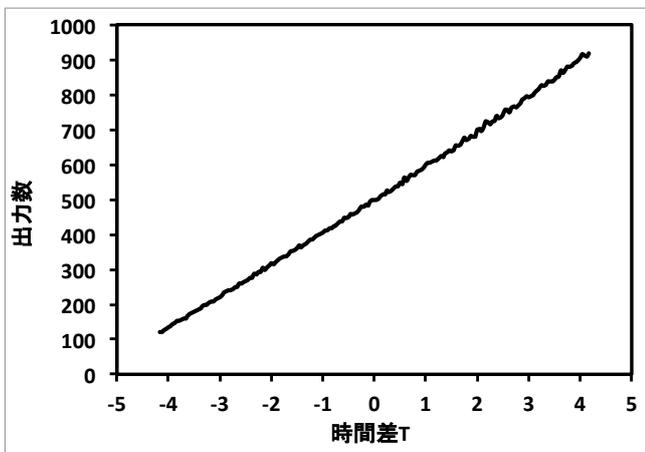
Fig.8. Schematic of PSoC implements Σ Δ TDC. (a) Whole Σ Δ TDC. (b) Clock generator of 2 clocks with programmable timing for Σ Δ TDC inputs.



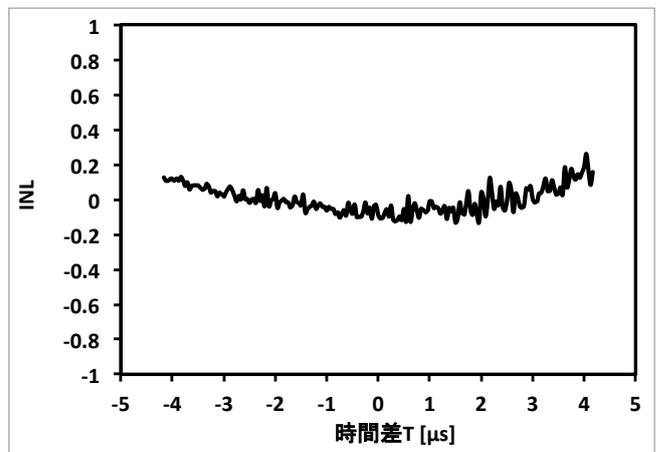
(a) 出力数 100 点



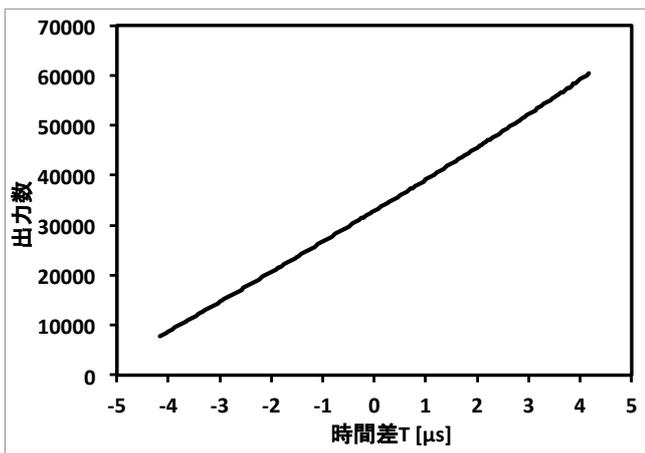
(a) 出力数 100 点



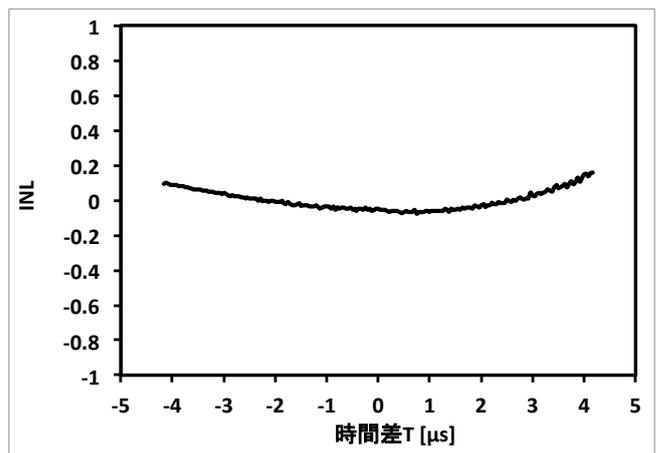
(b) 出力数 1,000 点



(b) 出力数 1,000 点



(c) 出力数 65,535 点



(b) 出力数 65,535 点

図 9 PSoC で実現した  $\Sigma \Delta$  TDC の測定結果

Fig.9. Measurement result of  $\Sigma \Delta$  TDC implemented with PSoC

(a) 100-point output case. (b) 1,000-point output case. (c) 65,535-point output case.

図 10 測定結果の INL

Fig.10. INL of measurement result. (a) 100-point output case. (b) 1,000-point output case. (c) 65,535-point output case.

## 5. $\Sigma \Delta$ TDC の自己校正

前章で  $\Sigma \Delta$  TDC の測定結果について示したが、出力数 65,535 点の場合でも 10% 程度の誤差がある。そこで回路内部で  $\Sigma \Delta$  TDC の自己校正を行うことで、BOST としての性能を高めることを考える。

〈5・1〉デジタル自己校正 デジタル自己校正として、出力のデジタル値を回路内部で校正し、線形性を向上させる手法を提案する。PSoC は内部で 2 つの同期したクロックを生成することができる。このクロックは PSoC 内部でクロック時間差が同期プログラマブルであるため、外部からの基準クロック一つで正確かつ線形な時間差をプログラマブルに生成でき、それに基づき  $\Sigma \Delta$  TDC のデジタル出力を各々得る。その測定結果から線形近似直線を求める。その直線と測定結果を一致させるために、内部で逆関数のデジタル演算を行い、補正係数を算出する。BOST として用いる際には、出力結果に補正係数（逆関数）をかけることで正確な測定を行うことが可能となる。

〈5・2〉 $\tau$  の補正  $\Sigma \Delta$  TDC の特性変動要因として、遅延素子  $\tau$  のばらつきがある。 $\tau$  は  $\Sigma \Delta$  TDC の時間差  $T$  の入力範囲（フルスケール）を決定する。先程のデジタル自己校正と同様に外部からの基準信号一つから内部の 2 つの同期クロックを生成して  $\Sigma \Delta$  TDC の校正を行うことで、 $\tau$  の絶対値を推定することができる。

これらの自己校正手法は PSoC の場合、回路の内部でプログラムの変更のみで容易に行うことができる。そのため、 $\Sigma \Delta$  TDC を BOST として PSoC に実装することは低コスト化、高性能化へと繋がる。

## 6. 結論

本論文では、デジタル信号タイミング試験用 BOST としてシグマデルタ型タイムデジタル回路の構成と動作を示し、シミュレーションによる動作確認と実機での動作確認を行った。

シミュレーションでの動作確認としては 0.18 $\mu$ m CMOS パラメータで Spectre を用いて行い、線形な出力が得られることを確認した。

実機での動作確認としてはサイプレス社の PSoC を用いて

行った。時間差  $T$  を  $T=-4.17 \mu$ s から  $T=4.17 \mu$ s まで 41.7ns 刻みで変化させて測定した結果、線形な出力が得られることを確認した。また、コンパレータの比較回数を増やす（測定時間を長くする）ことによって線形性が改善されることも確認した。誤差は 10% 程度であり、その誤差をデジタル自己校正する手法も提案した。

今回行ったことは PSoC で  $\Sigma \Delta$  TDC 回路を設計・実装し、その実機での「基本動作確認」を目的としているため、動作速度が低く、簡単な回路を用いている。今後は動作速度を向上させた場合の測定を行い、その上で提案した自己校正による線形性の改善やマルチビット化による高性能化について PSoC に実装し、確認を行っていく。

謝辞 有意義な御討論をいただきました、辻将信氏、小林修氏、松浦達治氏、山口隆弘氏、渡邊雅史氏、塩田良治氏、土橋則亮氏、梅田定美氏、佐藤正幸氏、志水勲氏に感謝いたします。研究をご支援いただいています半導体理工学研究センター (STARC) に感謝いたします。

## 文 献

- (1) J. Moreira, H. Werkmann : "An Engineer's Guide to Automated Testing of High-Speed Interfaces", Artech House (2010)
- (2) 上森聡史, 土井佑太, 小林春夫, 小林修, 松浦達治, 新津葵一, 「シグマデルタ型タイムデジタル回路の検討」電気学会電子回路研究会, ECT-11-077, 長崎 (2011 年 10 月 20 日)
- (3) 石井正道, 上森聡史, 小林春夫, 土井佑太, 小林修, 松浦達治, 新津葵一, 「デジタル信号時間差測定用回路の構成の検討」第 6 6 回 F T C 研究会, 大分 (2012 年 1 月 20 日)
- (4) S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 2012).
- (5) S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Arakawa, D. Hirabayashi, Y. Yano, T. Gake, N. Takai, T. J. Yamaguchi, "Multi-bit Sigma-Delta Architecture with Self-Calibration", IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).